

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-82481

(43)公開日 平成6年(1994)3月22日

(51)Int.Cl.⁵

G 0 1 R 1/073
H 0 1 L 21/66

識別記号

序内整理番号

D

B 7377-4M

F I

技術表示箇所

審査請求 有 請求項の数10(全 7 頁)

(21)出願番号 特願平5-2484

(22)出願日 平成5年(1993)1月11日

(31)優先権主張番号 830875

(32)優先日 1992年2月4日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク(番地なし)

(72)発明者 アーサー・プロス
アメリカ合衆国 ニューヨーク州 バウキープシ モンロー ドライブ 42

(74)代理人 弁理士 須宮 孝一(外4名)

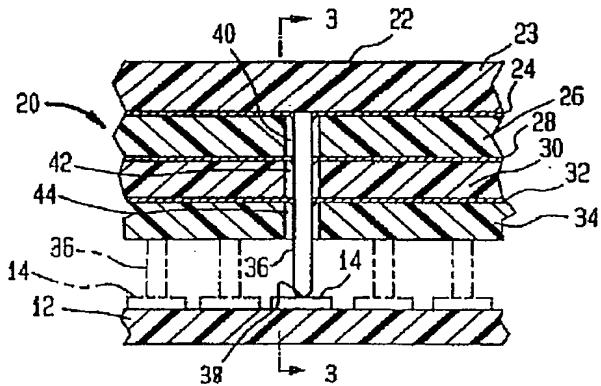
最終頁に続く

(54)【発明の名称】 プローブ・アセンブリおよびその製造方法

(57)【要約】

【目的】 高密度検査プローブ・アセンブリおよびその製造方法を提供する。

【構成】 プローブ・アセンブリ20は、多数のワイヤ状プローブ要素36を有し、その先端部38は、VLSI回路12の近接間隔で配列された表面バッド14を中心にして一致するように、配列されている。プローブ要素との相互接続は、プローブ・アセンブリ本体内の絶縁および導電層の多層構造により与えられる。プローブ要素の先端部は、垂直に対して傾斜し、プローブ要素がVLSI回路上の係合位置まで押し下げられると、プローブ・アセンブリは一方向において横方向に一様にたわみ、VLSI回路の表面バッドとの接触に際し、“ワイピング”動作を与える。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】多層構造にして複数の絶縁層および導電層を含む本体を備え、

前記多層構造の前記層は、層内に複数のバイアを形成し、これらバイアは、近接中心間隔で水平XおよびY列に正確に配置され、垂直方向に関してはいずれており、前記多層構造のバイア内に固定され、バイアから各先端部に向かって外方に短距離にわたって延びる、複数のワイヤ状プローブ要素を備え、前記プローブ要素の前記各先端部は、電子回路の各表面パッドに接続することがで、前記先端部がXおよびY方向に正確に整列され、かつ、前記プローブ要素が下方に動かされて前記電子回路の表面パッドと接触する場合にのみ、一方向において横方向にたわむように、一様にわずかにオフセットされている、ことを特徴とするプローブ・アセンブリ。

【請求項2】前記バイアは、第1の方向において垂直方向に関しては整列され、前記第1の方向に対して直角な第2の方向において垂直方向に関してはいずれ、

前記プローブ要素は、前記第2の方向においてかなり曲がり、前記プローブ要素と前記多層構造との間の堅固な機械的および電気的接続を形成する、ことを特徴とする請求項1記載のプローブ・アセンブリ。

【請求項3】前記プローブ要素は、XおよびY列に配列され、約254μmの間隔を有することを特徴とする請求項2記載のプローブ・アセンブリ。

【請求項4】多層構造にして複数の絶縁層および導電層を含む本体と、

前記導電層内の複数の導電ランドとを備え、

前記絶縁層は、複数のホールを形成し、前記導電ランドおよびホールは、近接中心間隔で幾列にも水平方向に配置され、一方向において所定量だけ垂直方向に関してはいずれおり、

前記導電ランドおよびホールを垂直方向に通り抜け、電子回路の表面パッドに接触することのできる先端部まで、前記本体の下方の短い不支持長さにわたり延びる、複数の細いワイヤを備え、

前記ワイヤは、前記導電ランドのそれぞれに、堅固な機械的および電気的接続を形成し、かつ、かなり曲げられており、前記ワイヤは、先端部を有するプローブ要素を形成し、前記先端部は、一様に整列され、プローブ・アセンブリが下方向に動かされて、前記電子回路の表面パッドと接触して、接触ワイピングおよび所望の垂直方向接触力が得られる、ことを特徴とする高密度検査プローブ・アセンブリ。

【請求項5】前記導電ランドは、プレエッチングされて、それぞれの前記ワイヤが前記導電ランドをさらに容易に突き抜けることを可能にし、前記ワイヤと前記導電ランドとの間に、堅固な機械的および電気的接続を形成し、前記ワイヤは、前記プローブ・アセンブリの本体内で、かなり曲がり、機械的に固定され、前記導電ランド

によって他の電子回路に選択的に相互接続される、ことを特徴とする請求項4記載の高密度検査プローブ・アセンブリ。

【請求項6】前記ワイヤは、約254μmの正確な中心間隔で配列されており、前記先端部は、前記電子回路の表面パッドに対して正確に整列されていることを特徴とする請求項5記載の高密度検査プローブ・アセンブリ。

【請求項7】多層構造にして複数の絶縁層および導電層を含む本体と、

前記導電層内の複数の導電ランドとを備え、前記絶縁層は、複数のホールを形成し、前記導電ランドは、ばねフィンガに形成され、前記導電ランドおよびホールは、近接中心間隔で幾列にも水平方向に配置され、一方向において所定量だけ垂直方向に関してはいずれおり、

前記導電ランドおよびホールを垂直方向に通り抜け、電子回路の表面パッドに接触する先端部まで、前記本体の下方の短い不支持長さにわたり延びる、複数の非常に細いワイヤを備え、

前記ワイヤは、前記ばねフィンガのそれぞれに、堅固な機械的および電気的接続を形成し、かつ、前記プローブ・アセンブリの本体内で一方向にかなり曲がっており、前記ワイヤは、先端部を有するプローブ要素を形成し、前記先端部は、一様に整列され、わずかに傾斜しており、プローブ・アセンブリが、下方向に動かされて、前記電子回路の表面パッドと接触して、接触ワイピングおよび所望の垂直方向接触力が得られる、ことを特徴とする検査プローブ・アセンブリ。

【請求項8】プローブ・アセンブリを製造する方法であって、

プローブ・アセンブリの本体内に、絶縁層および導電層よりなる多層構造を設け、

プローブ・アセンブリのプローブ要素および外部検査装置との所望の相互接続の正確にずれたパターンに従つて、前記導電層内に“バイア”域を設け、

多数のワイヤ状プローブ要素を、前記バイアに押し込んで、前記多層構造の導電層の各導電部と選択された電気的接続を形成し、前記バイアは、一方向から見た面において垂直方向に関しては整列され、前記一方向とは直角の方向から見た面において垂直方向に関してはいずれおり、前記プローブ要素が前記バイアに押し込まれた後、前記プローブ要素が一方向にのみかなり曲がり、プローブ要素の先端部は正確に整列されている、ことを特徴とするプローブ・アセンブリの製造方法。

【請求項9】プローブ・アセンブリを製造する方法であって、

プローブ・アセンブリの本体内に、絶縁層および導電層よりなる多層構造を設け、前記絶縁層は、近接した間隔で配列されたホールの列を形成し、前記導電層は、前記ホールに隣接する導電ランドを形成し、

前記導電ランドをばね要素に形成し、

多数の細いワイヤを、前記ホールおよび前記導電ランドに押し込み、前記絶縁層および導電層内で一方向に前記ワイヤを曲げて、前記導電層に良好な機械的および電気的な接触を形成し、前記ワイヤは前記本体を越えて短い不支持長さにわたって延び、ワイヤの先端部は正確に整列されて、電子回路の表面パッドへの接触を形成し、前記ワイヤの不支持部長さはわずかに傾斜して、ワイヤが表面パッドに係合するときにのみ、ワイヤは一方向において横方向に曲がる、ことを特徴とするプローブ・アセンブリの製造方法。

【請求項10】請求項9に記載の方法によって製造されたプローブ・アセンブリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、改良された電気的検査プローブ・アセンブリ、およびVLSI回路の微小面積上に多数の電気的接続を形成するための、超高密度のプローブ・アセンブリ要素を与える製造方法に関するものである。

【0002】

【従来の技術およびその課題】過去10年間においては、VLSI回路のような電子デバイスの単位面積あたりの密度は、非常に増大してきた。いくつかの評価によれば、この密度増大は、初期のものに比べて10,000倍のオーダである。VLSI回路との非常に多数の必要な接続を形成するのに、VLSI回路に対して利用できるスペースすなわち面積は、以前の技術よりすれば、ほとんど消滅せんばかりに小さくなりつつある。その結果、VLSI回路を検査する場合に、VLSI回路と容易に係合可能な接続を与えるのに困難な問題が存在している。容易に係合可能な接続は、利用できる微小スペースに合わせるのに十分小さく、信頼性があり、容易に製造することができる。

【0003】本発明者の米国特許第4,554,506号明細書には、VLSI回路の検査に使用するモジュラ・プローブ・アセンブリが開示されている。このプローブ・アセンブリは、プラスチック案内要素の側面付近の近接する中心上のホール内に設けられた、非常に多数の比較的長く細いワイヤ・コンタクト・“ビーム(beam)”を用いている。これら案内要素は、垂直に積み上げられてアセンブリを構成している。案内要素内のホールは、各コンタクト・ビームを“曲げる”すなわちブレ・バッカル(p're-buckle)させるために、わざと垂直に配列されていない。このブレ・バッカルは、コンタクト・ビームの端部が、VLSI回路上の表面パッドに接触およびワイプ(wipe)するときに、各コンタクト・ビームの力を制御するのを助ける。コンタクト・ビームが、VLSI回路の表面パッドとのコンタクトに押圧されるときに、コンタクト・ビームは、長さ方向の中点付近で、ダイナミックに曲がることが許され

る。実際には、コンタクト・ビームの比較的大きいダイナミックな曲げの故に、およびコンタクト・ビームが互いに接触せず、電気的短絡回路を生じないようにするために、ビームは、予め絶縁された細いワイヤで作られていた。一例として、ワイヤは、約25.4μm(約1ミル)厚の絶縁(ポリイミドのような)を有し、直径約101.6μm(約4ミル)であった。しかし、端部付近のワイヤの絶縁が時々はがれ、検査中に端部とVLSI回路上のコンタクト・パッドとの間に入り込むことがわかった。これは、電気的に乱れた結果を生じ、コンタクト・ビームの注意深い定期的なクリーニングを必要とした。

【0004】VLSI回路がさらに高密度になるにしたがって、検査プローブ・アセンブリの単に周辺よりもむしろ主領域中に、コンタクト“ビーム”またはプローブ・アセンブリの要素を与えることが望ましくなってきた。しかし、このことは、他の回路(例えば、検査装置)から、プローブ・アセンブリの密に組まれた各コンタクト要素へ、それぞれの電気的接続を形成する問題につながる。一例として、プローブ・アセンブリのコンタクト要素を、“X”および“Y”の両方向において25.4μm(10ミル)以内の近接した中心間隔で配列させる要求に対して、VLSI回路の6.45cm²(1平方インチ)あたり、10,000個以上の表面パッドの密度となる。この要求に対し、有効かつ経済的な解決を与えることが望ましい。

【0005】

【課題を解決するための手段】本発明の一例によれば、本発明は、検査プロセッサ・アセンブリに関わり、検査プロセッサ・アセンブリの本体は、多層印刷回路(たとえば、交互する多数の導電層および絶縁層よりなり、各導電層は複数の個々の導体である)を有している。印刷回路の多数の層は、特別に設けられた“バイア”域で、

非常に細く比較的長い導電ワイヤのそれぞれに選択的に接続される。これらワイヤは、多層回路の層間の接続のみならず、VLSI回路の近接した間隔で配列された表面パッドと接続するために、XおよびY列に配置され、近接した間隔で配列されたプローブ要素としても機能する。多層回路のバイアは、正確なパターンに形成され、これは、ワイヤ・コンタクト(プローブ要素)が、ピンが金属の薄片を突き抜けるように、導電層部分を突き抜けるのを可能にする。このようにして、各プローブ要素は、導電層の1以上の選択された導体への、良好な機械的および電気的接觸を形成する。プローブ要素は、一方向にわざと曲げられており、プローブ要素を固定し、それらの端部(先端部)にわずかなオフセットを与える。

これらプローブ先端部が、VLSI回路の表面パッドに接觸すると、プローブ要素は垂直に一樣に且つ一横方向にたわみ、VLSI回路の表面パッドをクリーンに“ワイプ(wipe)”し、その結果、一樣な垂直方向接觸

力が得られる。

【0006】本発明の他の面によれば、本発明は、プローブ・アセンブリの製造方法に関わる。プローブ・アセンブリ内の絶縁層および導電層の多層構造には、プローブ・アセンブリのプローブ要素および外部検査装置との相互接続の選択パターンに従って、“バイア”域を設ける。このバイア域は、検査されるVLSI回路上の表面パッド上の位置に対応するXおよびYパターン内に存在する。したがって、多数のワイヤ状プローブ要素が、バイア域で多層構造を突き抜けて、少なくとも1つの導電層の部分と選択された電気的接触を形成する。バイアは、一方（たとえば、Y方向）から見た面において垂直方向に整列されており、前記面とは直角をなす方向から見た面において、垂直方向にずれている。したがって、プローブ要素がバイアスを突き抜けるときに、プローブ要素は垂直にかなり曲がる。その結果、プローブ要素の露出端部は、垂直の予め配置された位置から一方における一様な横方向のたわみにまで、わずかにオフセットされる（傾斜される）。プローブ要素は、このように固定され、非常に近接した中心間隔で、正確に配置され整列される。このようにして組み立てられた部品は、非常に正確に、自己整列される。プローブ要素との所望の高密度相互接続は、プローブ・アセンブリ製造中に、多層導体によって自動的に形成される。

【0007】本発明のさらに他の面によれば、プローブ・アセンブリは、多層構造内に複数の絶縁層および導電層を有する本体を備えている。多層構造は、その内部に複数のバイアを形成する。バイアは、近接した中心間隔で水平XおよびY列に正確に配置され、垂直方向にずれている。多層構造のバイア内に固定され、多層構造から外方に、各先端部まで短い長さにわたって延びる多数のワイヤ状プローブ要素が設けられている。先端部は、電子回路の各表面パッドに接触するように構成されている。プローブ要素の先端部は、一様にわずかにオフセットされて、先端部は、正確にXおよびY方向に整列され、先端部が下方に動かされて電子回路の表面パッドと接触する場合にのみ、一横方向にたわむ。

【0008】本発明の他の面によれば、本発明は、プローブ・アセンブリ本体内に、絶縁層および導電層による多層構造を設け、プローブ・アセンブリのプローブ要素および外部検査装置との所望の相互接続の正確にずれたパターンに従って、プローブ・アセンブリの本体内に“バイア”域を設け、多数のワイヤ状プローブ要素を、前記バイアに押し込んで、前記導電層の部分と選択された電気的接続を形成する。前記バイアは、一方から見た面において垂直方向に整列され、前記一方とは直角の方向から見た面において垂直方向にずれており、前記プローブ要素が前記バイアに押し込まれた後、前記プローブ要素が一方（たとえば、Y方向）にのみかなり曲がっている。

【0009】

10

20

30

40

50

【実施例】図1は、複数のVLSI回路12が設けられた検査取り付け具10（適切な支持具）の一部を概略的に示す図である。本発明によるプローブ・アセンブリ20が、VLSI回路12の1つに接触した状態で示されている。プローブ・アセンブリ20の詳細な断面図を、図3に示す。図1には、3個のVLSI回路12が示されているが、3個より多くの、または3個より少ない数のVLSI回路を、取り付け具10上に設けることができる。各VLSI回路12は、VLSI回路の上面に、直交方向に且つほぼ平面状に近接した間隔で配列された非常に多数の微小表面コンタクト・パッド14をしている。これらの表面パッド14は、VLSI回路12の内部活性要素（図示せず）に対する微細電気コンタクトを与えている。

【0010】図2は、個々の表面コンタクト・パッド14（拡大して示している）が容易に見えるようにした、VLSI回路12の拡大部分図（一部を切り欠いた）である。一例として、各表面パッド14は直径が $127\mu m$ （5ミル）であり、個々のパッド14は、X方向およびY方向に $254\mu m$ （10ミル）の中心間隔で均等に配列されている。したがって、VLSI回路12の $1.778 \times 2.54 mm$ （ 70×100 ミル）の表面積には、70個のコンタクト・パッド14が存在する。この非常に高密度は、VLSI回路12と検査装置（図示せず）との電気的接続を与えることを困難にしていた。プローブ・アセンブリ20（図1参照）は、この問題に対して効果的かつ経済的な解決を与え、検査取り付け具10上のVLSI回路の1つの個々の表面パッド14上に、かつ個々の表面パッド14と接触するように配置される。

【0011】図3には、プローブ・アセンブリ20の一部の拡大断面を、寸法通りではなく一部を概略的に示している。図面を簡略化するために、図示されているプローブ・アセンブリ20の部分と一緒に、VLSI回路12の1つの表面パッド14（図2）のみを示している。図3には、検査取り付け具は示していない。しかし、多数のこのような表面パッド（点線によって示される）は、XおよびY方向（図2）に存在し、VLSI回路12の検査中は、プローブ・アセンブリ20の要素によって同時に接触されている。プローブ・アセンブリ20は、多数の内部電気的導体（これらについては後述する）を、高密度多層構造の状態で有する本体22を備えている。一例として、この多層構造は、第1または上部の絶縁層23、第1導電層24、第2絶縁層26、第2導電層28、第3絶縁層30、第3導電層32、第4または下部絶縁層34を備えている。各導電層は、典型的に、複数の個々の導体を備えている。これら個々の導体は、“印刷回路”と称されることもある。これら絶縁層および導電層は、単一構造に適切に接着されて、この技術分野では周知のような多層構造を与える。多層構造の

導電回路24、28、32の層間の垂直方向の電気的接続は、複数のワイヤ状プローブ要素36によって選択的に与えられる。図には、簡単にするために、1個のプローブ要素のみを示している。しかし、同一のプローブ要素36（点線で示されている）が、表面パッド14のパターン（図2参照）に対応して、プローブ・アセンブリ20内にXおよびYパターンに配列されることがわかるであろう。各プローブ要素は、下端部（先端部）38を有しており、この下端部は、丸みを有し、VLSI回路12の表面パッド14のそれぞれ1つに当接し、電気的接触を形成する。先端部38およびパッド14は、表面に適切な金属層を堆積させることができる。プローブ要素36は、第2絶縁層26内に正確に配置された、小さなクリアランス・ホール40を通り、第3絶縁層30内の同様のホール42を通り、第4絶縁層34内の同様のホール44を通る。図からわかるように、これらホール40、42、44は、垂直方向に整列されており、各プローブ要素36は垂直である。ホール40、42、44は、図示のため直径がやや誇張して示されている。

【0012】図4は、図3の3-3線における略断面図である。図4からわかるように、ホール40、42、44（直径は誇張されている）は、垂直方向にずれており、プローブ要素36（1個のみ示されている）は、絶縁層26、30、34および導電層24、28、32を通る際に、垂直方向にかなり曲がっている。各プローブ要素36は、このように正確に配置され且つ固定され、その下端部すなわち先端部38は、垂直に対して左側にわずかに傾いている。すべての先端部38は、非常に正確に一様に配置され、VLSI回路12の密に配置された表面パッド14のそれぞれに適切に当接している。プローブ要素36の先端部38のこのわずかな傾き、すなわち一様なオフセットによって、プローブ要素36の支持されない下部は、先端部38が表面パッド14とそれ接觸し、プローブ・アセンブリ20が最下方へ動くときに、片側へ（左側へ）一様にたわむ。

【0013】図5は、プローブ・アセンブリ20をさらに拡大した図である。図では、1つのプローブ要素36のみを示している。プローブ要素36は、絶縁層34の下部（およびホール44）から、先端部38および表面パッド14まで延びる下側の不支持部長さ48を有している。図示のように、プローブ要素36の先端部38は、パッド34に接觸している。プローブ要素36の上部は、絶縁層30内の小さなホール42を通して、プローブ・アセンブリ20の多層回路内を下方に延びている。プローブ要素36は、導電層32の薄層を領域50で下方に突き通り、絶縁層34内のホール44を通り表面パッド14まで下方に延びている。領域50で導電回路層32を突き通るプローブ要素36は、導電回路層32の導電部に、機械的に堅固で且つ電気的に良好な接続を形成する。このように、プローブ要素36は、導電回

路層24、28、32（図4を参照）に選択的に、電気的に相互接続される（所望の順序で）。プローブ要素36は、プローブ・アセンブリ20の本体22内に機械的に固定される。

【0014】図6は、プローブ・アセンブリ20を、検査取り付け具10（図示せず）上の完全に係合する位置までさらに下方に移動した状態を示している。図5の位置から図6の位置への、この最終的な下方移動の際、プローブ要素36の先端部38は、矢印52で示すように、表面パッド14上を横方向にわずかな距離を“ワイプ（w i p e）”する。このワイピング動作は、パッド14とプローブ先端部38との間の清浄なコンタクトおよび良好な電気的接続を保証する。絶縁層34の下部から突出するプローブ要素36は、ホール44の下縁54に当接する。したがって、プローブ要素36の不支持部長さ48（図5をも参照）は、寸法的に正確な量によって定められる。換言すれば、この不支持部長さ48は、特定のプローブ要素36が領域50で導電回路層32の導電部を突き通るか否かとは無関係に、全部のプローブ要素36に対して同一である。したがって、プローブ要素36（図には1個のみ示している）のすべての先端部38は、各パッド14に対して、ほぼ等しく且つ一様な接觸力で、正確な位置に当接する。プローブ要素36の不支持部長さ48、その直径、プローブ要素36の垂直および横方向たわみの量は、矢印52で示される25.4 μm（1ミル）ぐらいの“ワイプ”と、50グラムのオーダの垂直方向接觸力とを与えるように選ばれる。

【0015】図7は、図5の5-5線で示される方向から見た、プローブ・アセンブリ20の一部の拡大平面図（寸法通りではない）である。図7からわかるように、絶縁層30は、表面パッド14の各中心（図2）に一致する、XおよびY方向における正確な中心間隔で配置された多数の微小ホール42を有している。これらホール42（および同様にホール40、44）は、周知の適切な手段（レーザのような）によって、それらの絶縁層26、30、34（図7には示されていないが、図4に示されている）内に、“写真的”精度で位置決めされ形成される。絶縁層30の下側に設けられた導電回路層32（図5参照）は、図7では点線で示しており、電気的に絶縁された複数の印刷回路トレース（導体）56a、56bを備えていることがわかる。多数または少数のこれら回路トレース56a、56bを、各プローブ要素36（図7には示されていないが、図4には示されている）との所望数の相互接続により要求される導電回路層32内に設けることができる。トレース56a、56bは、適切な中心間隔で配置され且つ検査装置（図示せず）に接続されるようになされた外部的にアクセス可能なタブまたはコンタクト58a、58bに接続される。導電トレース56a、56bの位置、間隔、形状などは、多層回路を設計および製造する分野の当業者には周知の設計

ルールに従って与えられる。

【0016】ホール42の下側に、導電トレース56aの導電ランド60aが部分的に露出している。この導電ランド60aは、図示のセグメント形状、たとえば微小中心ホール64aの方へ突き出た4本のバイ形状の“フィンガ(finger)”62aに、エッティングされている。一例として、同様の導電ランド60bを、絶縁層30内の他のホール42の下側に示している。プローブ要素36(中心ホール64aよりも直径が大きい)がホール42を通り下方に押し込まれると、導電ランド60aは“貫通”され、そのフィンガ62aは、プローブ要素36によって下方に曲げられる。これは、金属の薄片によって保持されるピンと類似している。したがって、ピンを金属薄片にさらに押し込むことは比較的容易であるが、引きもどすことは非常に困難である。ランド60aおよびそのフィンガ62aのバネ作用は、プローブ要素36のほぼ垂直方向の曲げと共に働いて、領域50(図5)でのプローブ要素36と貫通ランド60aとの間に、良好な電気的および機械的接触を形成する。絶縁層30内のホール42は、絶縁層26内の対応するホール40および絶縁層34内の対応ホール44に対してY方向に正確に定められた距離だけ離れている(図4参照)。ホール40, 42, 44のこの正確な位置は、導電回路層24, 28, 32(図4参照)内の所望位置での導電ランド(図7のランド60a, 60bのような)の対応配置と協働して、各プローブ要素36の一様な曲げおよびオフセットと、それらの先端部38の正確な配置とを与える。

【0017】本発明の方法によれば、プローブ・アセンブリ20は、正確かつ経済的に製造される。プローブ・アセンブリ20は、アセンブリのプローブ要素および外部検査装置との相互接続の選択パターンに従って、“バイア”域が設けられている(図4, 図5, 図7参照)。このバイア域は、検査されるVLSI回路上の表面バッドの位置に対応するXおよびYパターン内に存在する。したがって、多数のワイヤ状プローブ要素は、多層回路(図3および図4参照)の各部と選択的な電気的接続を形成するバイアに押し込まれる。バイアは、一方から見た面内において垂直方向に整列されており(たとえば、図3における方向)、前記方向とは直角の方向から見た面内においては垂直方向に離れていている(図4)。したがって、プローブ要素がバイアに押し込まれるときに(図3および図4の絶縁層23は除去されている)、プローブ要素は垂直方向にかなり曲がる。その結果、プローブ要素の露出端部は、垂直方向からわずかに傾き、一方から見た面内における一様な横方向のたわみを生じやすくさせる(図5および図6)。プローブ要素は、このように固定され、非常に近接した中心間隔で正確に配置され整列される。このように組み立てられた部品は、非常に正確に自己整列される。プローブ要素との所望の

高密度相互接続は、プローブ要素の製造中に自動的に形成される。絶縁がなされていないプローブ要素36は、プローブ要素36の絶縁がはがれて、先端部38と表面バッド14との間に入り込むという問題は生じない。一例として、プローブ要素を、適切な硬度を有し、直径が101.6μm(4ミル)のワイヤ特にペリリウム銅とすることができます。

【0018】上述したプローブ・アセンブリおよびその製造方法は、本発明の一般的な原理を説明したものである。当業者であれば、本発明の精神と範囲とから逸脱することなく、容易に変更を加えることができる。たとえば、本発明は、特定の数のコンタクトまたはプローブ要素の寸法、あるいは前述した特定の材料に限定されるものではない。異なった寸法のバイアおよびプローブ要素を用いることができ、また、開示したもの以外の寸法を用いることができる。さらに、異なる数の層、または開示したものとは異なる構成の多層構造を用いることができ、およびプローブ要素は丸みのある端部を有する必要はない。

【0019】

【発明の効果】本発明により、高密度検査プローブ・アセンブリおよびその製造方法が得られる。

【図面の簡単な説明】

【図1】VLSI回路の1つに接触する本発明のプローブ・アセンブリを有する検査取り付け具上に配置された数個のVLSI回路の拡大斜視図である。

【図2】VLSI回路の近接した間隔で配列された表面コンタクト・バッドを示す、図1のVLSI回路の切り欠き拡大斜視図である。

【図3】図1の2-2線に沿った拡大断面図であり、プローブ・アセンブリの一部を示し、プローブ・アセンブリのコンタクト・プローブ要素が、検査中にどのようにして、検査装置およびVLSI回路との多数の相互接続を形成するかを概略的に説明するための図である。

【図4】図3の3-3線に沿った拡大断面図であり、プローブ・アセンブリの各列のプローブ要素の制御された湾曲および配置を正確に示す図である。

【図5】図4に類似の拡大断面図であり、プローブ・アセンブリのプローブ要素がどのようにしてVLSI回路の表面バッドに最初に接触するかを概略的に説明するための図である。

【図6】図5に類似の拡大断面図であり、プローブ・アセンブリが図示の位置まで下げられたときに、どのようにプローブ要素が曲がり、表面バッドを横方向に“ワイブ”するかを示す図である。

【図7】図5の5-5線方向に見た、プローブ・アセンブリの1面上の絶縁および電気的印刷回路トレースの拡大断面図である。

【符号の説明】

10 検査取り付け具

11

12

1.2 VLSI 回路
 1.4 コンタクト・パッド
 2.0 プローブ・アセンブリ
 2.4, 28, 32 導電層

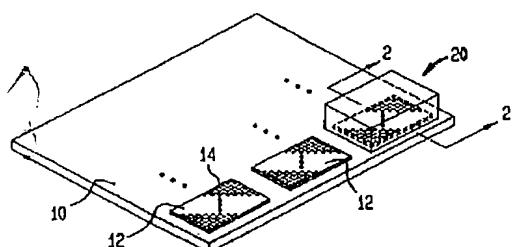
26, 30, 34 絶縁層

36 プローブ要素

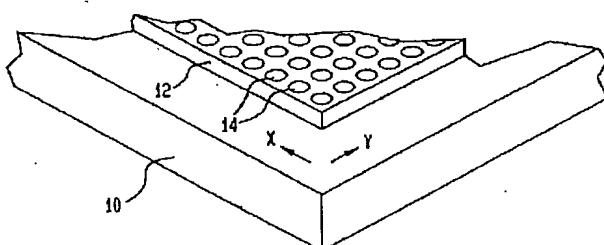
38 先端部

*

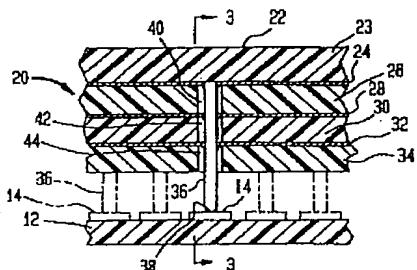
[四一]



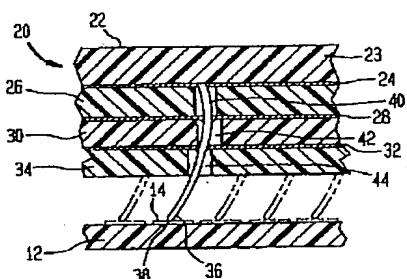
〔図2〕



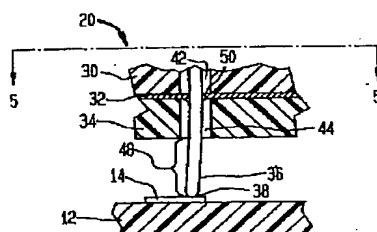
[図3]



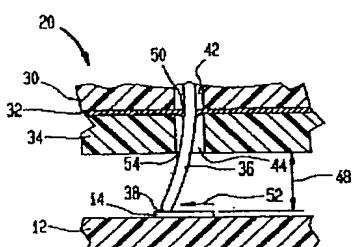
[図4]



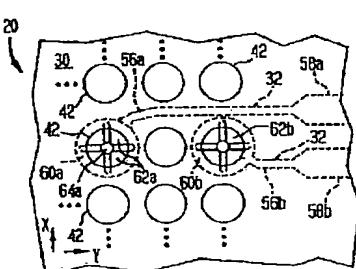
[圖 5]



[図6]



[図7]



フロントページの続き

(72)発明者 トマス・ジョセフ・ウォルシュ
アメリカ合衆国 ニューヨーク州 バウヰ
ーブシ ディア ラン ロード 2

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.